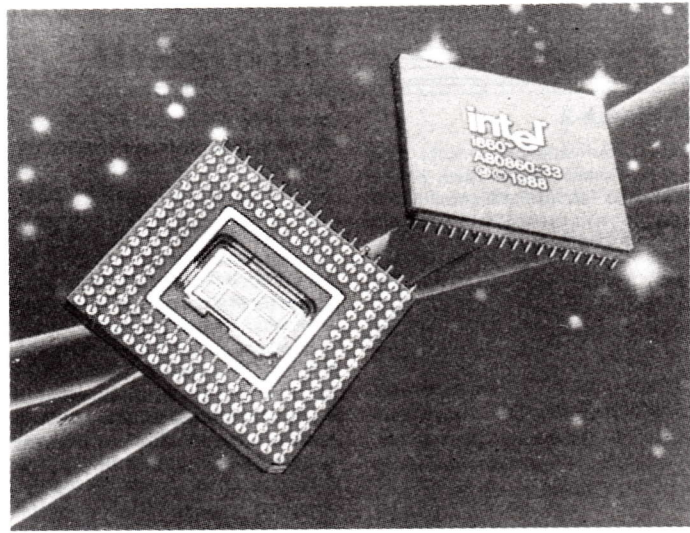
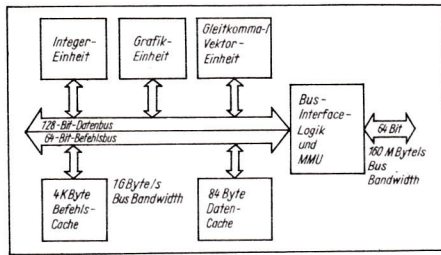


Intel i860

Wegbereiter einer neuen Leistungsklasse bei Mikroprozessoren



Im Rahmen der ISSCC '89 in New York stellte Intel einen neuen Mikroprozessor vor: den i860 (zunächst auch unter dem Namen N10 oder ONNY – „officially not named yet“ – bekannt). In fünf Jahren Entwicklungszeit wurde im Rahmen eines eine Milliarde US-\$ teuren Projekts (davon wurde ein Drittel für eine neue Fertigungsstätte aufgewendet) ein neuer Hochleistungsmikroprozessor entwickelt:

- gemischte 32-/64-Bit-Architektur
- drei interne, parallel arbeitende Ausführungseinheiten
- Verarbeitungsleistung maximal 120 Millionen Operationen je Sekunde, 33 VAX-MIPS, 10 MFLOPS, 500 000 Grafiktransformationen je Sekunde (alle Angaben für 40-MHz-Taktfrequenz)
 - 1 µm CHMOS-IV-Technologie, mehr als 1 Million Transistoren, Chipgröße 1,5 cm mal 1 cm
 - Taktfrequenz zunächst 33 MHz, künftig 40 und 50 MHz
 - Preis 750 US-\$ (ab 1000 Stück).

Worin besteht der konzeptionelle Unterschied zwischen dem Intel 80860 (i860) und dem Intel 80486 (i486)? Der i486 ist eine Reimplementierung des i386 in einem höheren Technologieniveau. Dabei kann ein funktionell erweiterter 32-Bit-Prozessor i386 gemeinsam mit einem i387-Subset sowie Daten- und Programmcaches auf einem Chip integriert werden. Somit besteht Softwarekompatibilität in der iX86-Familie. Dank der leistungsfähigeren Technologie wird die Befehlsausführung auf dem i486 gegenüber dem i386 um den Faktor 2 bis 3 beschleunigt. (Siehe auch MP 12/1988, Seite 384.) Der i860 hingegen zielt auf ein neues Anwendungsgebiet für Mikroprozessoren und weist dementsprechend neue Architekturmerkmale auf: Grafiksuperworkstations und Superrechner. Er verfügt über drei separate, parallel arbeitende Ausführungseinheiten.

Die 32-Bit-Integereinheit ist nach dem RISC-Konzept gestaltet: gezielte Einschränkung der Vielfalt an Datentypen und Befehlen zugunsten einer schnellen Befehlsausführung und eines niedrigen Anteils an Chipfläche. Für 8-, 16-, 32- oder 64-Bit-Daten sind etwa 40 Basisbefehle definiert: Speicherzugriff (Lesen und Schreiben), Registertransfer, Addition und Subtraktion, Schiebebefehle, Logikbefehle, Programm- und Systemsteuerbefehle. 32 Datenregi-

ster zu je 32 Bit sowie einige Steuerregister sind diesem RISC-Kern zugeordnet. Die Gleitkommaeinheit kann wahlweise Daten mit 32 und 64 Bit verarbeiten (Erfüllung der Forderungen des Standards ANSI/IEEE 754-1985). Sie verfügt über getrennte Multiplizier- und Addiereinheiten. Daten können in einem 32 x 32-Bit-Registerfile mit fünf Toren zu verschiedenen internen Bussen in einer Organisation zu 32, 64 oder 128 Bit (Long Integer) abgelegt werden. Unterstützt werden die Grundrechenarten, Quadratwurzel, Reziprokwert, Zahlenvergleiche sowie Befehle für Long-Integerdaten. Diese Befehle sind in verschiedenen Varianten zur optimalen Unterstützung der Parallelarbeit im Prozessor verfügbar. Eine besondere Gruppe von Doppelbefehlen ermöglicht in einem Befehl eine Kombination aus Addition bzw. Subtraktion und Multiplikation. Solche Befehle werden für die Vektorverarbeitung und für die Signal- und Bildverarbeitung (Faltungsoperation) benötigt. Die dritte Einheit verarbeitet 3D-Grafikdaten (8, 16 oder 32 Bit). Wahlweise können diese Daten Intensitäts- und Farbinformationen in verschiedenen Auflösungsstufen sowie weitere Attribute und Texturen enthalten. Die Grafikbefehle beziehen sich auf einen Z-Puffer, in dem die dritte Koordinate eines räumlich lokalisierten Bildpunktes ausgewertet wird. Bilddaten können automatisch interpoliert und skaliert werden. Die Pixelspeicherung im Bildspeicher ist selektiv möglich (Unterdrückung von verdeckten Kanten).

Interne 4-KByte-Befehls- und 8-KByte-Datencaches sowie die Registerfiles gewährleisten, daß Daten und Befehle für Prozeduren (lokaler Programmkontext) auf dem Chip gehalten werden können und so ohne Speicherzugriff schneller erreichbar sind. Zwischen den Funktionseinheiten des i860 werden Daten über einen 128-Bit-Bus mit bis zu 533 MByte je Sekunde und Befehle über einen 64-Bit-Bus mit bis zu 266 MByte je Sekunde übertragen. Zusätzlich gibt es weitere Koppelbusse zwischen den einzelnen Einheiten, so daß die On-Chip-Datentransferrate insgesamt etwa 1,2 GByte je Sekunde beträgt. Das Businterface des i860 gestattet die parallele Verarbeitung von drei Buszyklen. Die Konzepte der virtuellen Speicherorganisation und der Cacheverwaltung wurden zum Teil

dem i386 entlehnt: Adreßraum 4 GByte, seitenorganisierter Hauptspeicher (optimiert für DRAMS ab 256 KBit), Translation Lookaside Buffer mit 64 Referenzen zu Speichersegmenten in zwei Privilegierungsmodi, Speicherbankadressierung über 8 Enable-Signale.

Die Interruptreaktionszeit beträgt maximal 66 Taktzyklen. Für Multiprozessorsysteme gibt es einen Busverriegelungsbefehl zur Gewährleistung eines ungeteilten Lese-/Schreibzugriffs auf den Speicher (LOCK) sowie ein Busrequestsignal für einen externen Busarbitrer.

In der Prozessorarchitektur wurden weitere geschwindigkeitserhöhende Maßnahmen vorgesehen: Pipelineorganisation der Verarbeitungs- und Buszugriffseinheiten, Blocktransfer zur Cacheaktualisierung, überlappende Buszyklen (Aussenden der nächsten Adressen bereits während des Lesens der Daten des vorherigen Buszyklus), Unterstützung von Static-Column- oder Page-Mode-DRAMs.

Diese Architekturkonzepte konnten nur mit den Mitteln der Höchstintegration und unter Anwendung des RISC-Konzepts in einem Chip umgesetzt werden. Der i860 ist praktisch ein Multiprozessorsystem aus Spezialprozessoren auf einem Chip. Mit den eingangs genannten Verarbeitungsleistungen zielt der i860 auf einen neuen Anwendungsbereich für Mikroprozessoren: Supergrafikworkstations und Supercomputer. Nachdem Intel bereits Industriestandards für Mikroprozessoren der PC-Klasse (i286) und der Workstationklasse (i386) setzte, wird nun dieser Spitzenanwendungsbereich der modernen Rechentechnik erschlossen, für den in den kommenden Jahren besonders hohe Wachstumsraten erwartet werden. Bisher mußten Hochgeschwindigkeitstechnologien (ECL und GaAs) und/oder Multiprozessorsysteme (z. B. iPSC286-Hypercube) angewendet werden, um Superrechenleistung zu erreichen. Solche Lösungen sind aber sehr teuer und für die Masse der potentiellen Anwender unökonomisch. Supermini- und Superrechner kosteten bislang mehrere 100 000 bis Millionen US-\$. Für nur etwa 10 000 US-\$ kann nun ein IBM-AT um eine i860-Ergänzungskarte erweitert werden (Acceleratorboard). Superrechenleistung kommt damit auf den Schreibtisch des An-

wenders, der künftig in einer UNIX-V.4.0-Umgebung in Fortran und C vor allem folgende Problemklassen effektiv bearbeiten kann: CAD – beispielsweise VLSI-/ULSI-Schaltkreisentwurf, bewegte 3D-Simulations- und Grafikprobleme („4D-Grafik“, z. B. Simulation von Strömungsprozessen), Klimaforschung/Meteorologie (mittelfristige Wetterprognose) oder Bildverarbeitung. Solche Aufgaben können in skalare und vektorielle Verarbeitungsanteile, die sich parallel abarbeiten lassen, zerlegt werden. Der i860 verfügt dafür über eine adäquate Prozessorarchitektur. Bei Vektorisierungsgraden von 50 bis 80% erreicht er noch mindestens 75% der Leistung einer CRAY1-80, und das zu einem Bruchteil des Aufwands. Vor allem der Schaltkreisentwurf erfordert zunehmend leistungsfähigere Rechner. Intel setzt bereits ein iPSC-Hypercube-System für Simulationszwecke ein. AT & T mußte beim Entwurf des RISC-Prozessors CRISP (Integrationsgrad 172 000 Transistoren) auf ein ALLIANT-Minisuperrechner-system zurückgreifen. Mit der zunehmenden Verbreitung höchstintegrierter anwendungsspezifischer Schaltkreise (ASICs) wird der Bedarf an hochleistungsfähiger, aber billiger Rechentechnik wachsen. Supercomputer und Superworkstations sind als Stimulus und zugleich als Randbedingungen für den Fortschritt beim VLSI-/ULSI-Schaltkreisentwurf anzusehen.

Etwa 1991/92 ist mit einem Multiprozessorsystem auf der Basis des i860 aus bis zu 1000 Prozessoren zu rechnen. Damit werden Verarbeitungsleistungen von etwa 20 Milliarden Gleitkommaoperationen je Sekunde (GFLOPS) erreichbar sein (Supercomputer des oberen Leistungsbeereichs). Ein entscheidendes Problem, das bis dahin aber gelöst werden muß, ist die Bereitstellung geeigneter Softwareentwurfsumgebungen für die Anwender: Nur wenn eine effektive Zerlegung der Algorithmen in parallel abzuarbeitende Teilaufgaben gelingt, kann das Leistungsvermögen des Parallelrechners ausgeschöpft werden. Dazu bedarf es neuer, anwenderfreundlicher Programmierwerkzeuge.

guv